

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-358902

(43)Date of publication of application : 26.12.2001

(51)Int.Cl.

H04N 1/028

G06F 1/06

H04N 5/335

(21)Application number : 2000-178150

(71)Applicant : KONICA CORP

(22)Date of filing : 14.06.2000

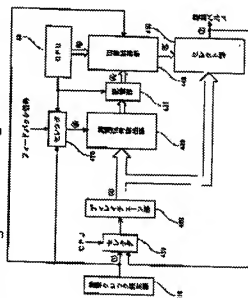
(72)Inventor : YAMAMOTO HIROYUKI  
TAKAGI KOICHI

## (54) IMAGE PROCESSING UNIT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an image processing unit having a pulse generator that supplies prescribed pulses to the image processing unit regardless of various fluctuations.

SOLUTION: The image processing unit is provided with the pulse generator that generates a drive pulse driving an image sensor and a signal processing pulse required for analog signal processing applied to an output signal from the image sensor. The pulse generator has a delay chain section 420 where delay elements are connected in a chain to generate delay clocks delaying a reference clock, a synchronizing signal detection section 430 that selects a plurality of the delayed clocks synchronously with a reference signal from the delay chain section and introduces synchronization information equivalent to the number of the delay stages by one period from the information, pulse generating means 440, 450 that refer to the synchronization information introduced by the synchronizing signal detection section 430 and pulse generating information to generate desired pulses for the selection of the required delay clock from the delay chain section and generate the pulse with a desired pulse width and in desired timing, and a correction means 431 that corrects the timing of the pulse generated by the pulse generating means in response to various fluctuations.





## 【特許請求の範囲】

【請求項1】 イメージセンサを駆動する駆動パルスと、イメージセンサからの出力信号のアナログ信号処理に必要な信号処理パルスとを発生するパルス発生装置を備える画像処理装置であって、

基準クロックを遅延させた複数の遅延クロックを生成するためにディレイ素子をチェーン状に接続したディレイチェーン部と、

基準信号に同期した遅延クロックを前記ディレイチェーン部から複数選択し、その情報から1周期分のディレイ段数に相当する同期情報を導き出す同期信号検出部と、前記同期信号検出部で導き出された同期情報と、所望のパルスを生成するためのパルス生成情報とを参照し、前記ディレイチェーン部から必要な遅延クロックを選択して、所望のパルス幅および所望のタイミングのパルスを生成するパルス生成手段と、

前記パルス生成手段で生成されるパルスのタイミングを各種変動に応じて修正する修正手段と、を有することを特徴とする画像処理装置。

【請求項2】 イメージセンサを駆動する駆動パルスと、イメージセンサからの出力信号のアナログ信号処理に必要な信号処理パルスとを発生するパルス発生装置を備える画像処理装置であって、

基準クロックを遅延させた複数の遅延クロックを生成するためにディレイ素子をチェーン状に接続したディレイチェーン部と、

基準信号に同期した遅延クロックを前記ディレイチェーン部から複数選択し、その情報から1周期分のディレイ段数に相当する同期情報を導き出す同期信号検出部と、前記同期信号検出部で導き出された同期情報と、所望のパルスを生成するためのパルス生成情報とを参照し、前記ディレイチェーン部から必要な遅延クロックを選択して、所望のパルス幅および所望のタイミングのパルスを生成するパルス生成手段と、

前記パルス生成手段で生成されたパルスが負荷に接続されることで生じる各種変動を検出す変動検出手段と、前記変動検出手段で検出された変動に応じて前記パルス生成手段で生成されるパルスのタイミングを修正する修正手段と、を有することを特徴とする画像処理装置。

【請求項3】 イメージセンサを駆動する駆動パルスと、イメージセンサからの出力信号のアナログ信号処理に必要な信号処理パルスとを発生するパルス発生装置を備える画像処理装置であって、

基準クロックを遅延させた複数の遅延クロックを生成するためにディレイ素子をチェーン状に接続したディレイチェーン部と、

基準信号に同期した遅延クロックを前記ディレイチェーン部から複数選択し、その情報から1周期分のディレイ段数に相当する同期情報を導き出す同期信号検出部と、

前記同期信号検出部で導き出された同期情報と、所望の

パルスを生成するためのパルス生成情報とを参照し、前記ディレイチェーン部から必要な遅延クロックを選択して、所望のパルス幅および所望のタイミングの複数のパルスを生成するパルス生成手段と、

前記パルス生成手段で生成された複数のパルスが負荷に接続されることで生じる各種変動をそれぞれ検出す変動検出手段と、

前記変動検出手段で検出された各パルスの変動に応じて前記パルス生成手段で生成される各パルスのタイミングをそれぞれ修正する修正手段と、を有することを特徴とする画像処理装置。

【請求項4】 前記変動検出手段での各種変動の検出は、外部機器からフィードバックされたパルスと出力するパルスとを同期信号検出部で比較することにより実行されることを特徴とする請求項1乃至請求項3のいずれかに記載の画像処理装置。

【請求項5】 前記各部が集積回路で構成されることを特徴とする請求項1乃至請求項4のいずれかに記載の画像処理装置。

【請求項6】 前記各部がデジタル回路で構成されることを特徴とする請求項1乃至請求項5のいずれかに記載の画像処理装置。

【請求項7】 前記制御制御部をCPUにより制御する、ことを特徴とする請求項1乃至請求項6のいずれかに記載の画像処理装置。

【発明の詳細な説明】

【0001】

【発明が属する技術分野】 本発明は画像処理装置に関し、さらに詳しくは、イメージセンサを駆動する際に必要とされる各種パルスを生成するパルス発生装置の改良に関する。

【0002】

【従来の技術】 各種デジタル回路において、回路動作のためにクロックを必要としている。このクロックは、各種方式のクロック発生回路によって生成されている。

【0003】 ところで、CCDイメージセンサを駆動する駆動パルスおよびアナログ信号処理のサンプルホールドパルスなどについて、そのパルス幅やタイミングは、基準となる基準クロックから得られない場合が多い。一般的に、クロック発生回路からの基準クロックを利用して、回路の遅延または専用の遅延素子などを活用して得ている。

【0004】

【発明が解決しようとする課題】 これら駆動パルスやサンプルホールドパルスなどは、それを要求するデバイスにより適正な範囲があって、この範囲を逸脱すると正常な動作が保証できなくなる。

【0005】 近年、機器の高速度と共に、それを構成するデバイスの駆動・動作速度も増し、それらデバイスが要求する駆動パルスおよび処理パルスの適正範囲も狭ま

る傾向になっている。

【0006】しかしながら、機器を構成するデバイスの動作環境は、本来不安定なものであり、電源電圧、周囲温度、湿度、回路素子や配線環境の物理的条件などが変動し、回路動作に影響を与えることがある。したがって、上述した駆動パルスや処理パルスを発生する回路も影響を受けて、駆動パルスや処理パルスに変動が生じることがある。

【0007】本発明は、上記の課題を解決するためになされたものであって、各種の変動にかかわらず、画像処理装置に必要な一定のパルスを供給することが可能な画像処理装置を提供することを目的とする。

【0008】

【課題を解決するための手段】上記課題は以下の構成により解決することができる。なお、この明細書内で、「信号処理パルス」あるいは「駆動パルス」とは、イメージセンサを駆動する駆動パルス、および、イメージセンサからの出力信号のアナログ信号処理に必要な信号処理パルスを含む意味である。

【0009】また、この明細書内で、「各種変動」とは、生成した複数のパルスを目的の負荷に接続すること起因する回路素子のバラツキ、配線長などの物理的変化および、電源電圧、周囲温度、湿度などの環境変化によるパルスの伝播変動を含む意味である。

【0010】(1) 請求項1記載の発明は、イメージセンサを駆動する駆動パルスと、イメージセンサからの出力信号のアナログ信号処理に必要な信号処理パルスとを発生するパルス発生装置を備える画像処理装置であって、基準クロックを遅延させた複数の遅延クロックを生成するためにディレイ素子をチェーン状に接続したディレイチェーン部と、基準信号に同期した遅延クロックを前記ディレイチェーン部から複数選択し、その情報から1周期分のディレイ段数に相当する同期情報を導き出す同期信号検出部と、前記同期信号検出部で導き出された同期情報と、所望のパルスを生成するためのパルス生成情報とを参照し、前記ディレイチェーン部から必要な遅延クロックを選択して、所望のパルス幅および所望のタイミングのパルスを生成するパルス生成手段と、前記パルス生成手段で生成されるパルスのタイミングを各種変動に応じて修正する修正手段と、を有することを特徴とする画像処理装置である。

【0011】(2) 請求項2記載の発明は、イメージセンサを駆動する駆動パルスと、イメージセンサからの出力信号のアナログ信号処理に必要な信号処理パルスとを発生するパルス発生装置を備える画像処理装置であって、基準クロックを遅延させた複数の遅延クロックを生成するためにディレイ素子をチェーン状に接続したディレイチェーン部と、基準信号に同期した遅延クロックを前記ディレイチェーン部から複数選択し、その情報から1周期分のディレイ段数に相当する同期情報を導き出す

同期信号検出部と、前記同期信号検出部で導き出された同期情報と、所望のパルスを生成するためのパルス生成情報とを参照し、前記ディレイチェーン部から必要な遅延クロックを選択して、所望のパルス幅および所望のタイミングのパルスを生成するパルス生成手段と、前記パルス生成手段で生成されたパルスが負荷に接続されることで生じる各種変動を検出する変動検出手段と、前記変動検出手段で検出された変動に応じて前記パルス生成手段で生成されるパルスのタイミングを修正する修正手段と、を有することを特徴とする画像処理装置である。

【0012】(3) 請求項3記載の発明は、イメージセンサを駆動する駆動パルスと、イメージセンサからの出力信号のアナログ信号処理に必要な信号処理パルスとを発生するパルス発生装置を備える画像処理装置であって、基準クロックを遅延させた複数の遅延クロックを生成するためにディレイ素子をチェーン状に接続したディレイチェーン部と、基準信号に同期した遅延クロックを前記ディレイチェーン部から複数選択し、その情報から1周期分のディレイ段数に相当する同期情報を導き出す同期信号検出部と、前記同期信号検出部で導き出された同期情報と、所望のパルスを生成するためのパルス生成情報とを参照し、前記ディレイチェーン部から必要な遅延クロックを選択して、所望のパルス幅および所望のタイミングの複数のパルスを生成するパルス生成手段と、前記パルス生成手段で生成された複数のパルスが負荷に接続されることで生じる各種変動をそれぞれ検出する変動検出手段と、前記変動検出手段で検出された各パルスの変動に応じて前記パルス生成手段で生成される各パルスのタイミングをそれぞれ修正する修正手段と、を有することを特徴とする画像処理装置である。

【0013】(4) 請求項4記載の発明は、前記変動検出手段での各種変動の検出は、外部機器からフィードバックされたパルスと出力するパルスとを同期信号検出部で比較することにより実行される、ことを特徴とする請求項1乃至請求項3のいずれかに記載の画像処理装置である。

【0014】(5) 請求項5記載の発明は、前記各々が集積回路で構成される、ことを特徴とする請求項1乃至請求項4のいずれかに記載の画像処理装置である。

【0015】(7) 請求項7記載の発明は、前記制御制御部をCPUにより制御する、ことを特徴とする請求項1乃至請求項6のいずれかに記載の画像処理装置である。

(8) 以上の(1)～(7)に記載された本発明によれば、複数のクロックから選択して目的の処理パルスが発生した後に、フィードバック結果に基づいてクロックを選択し直すことにより、1 ns以下の精度で駆動および処

理パルスが発生でき、なおかつ、パルスの供給回路が選定する数々の変動条件が影響し、目的のパルスの供給があやふやな場合であっても、フィードバックを用いた変動検出と修正手段により、設計された仕様を逸脱することがなくCCDセンサの駆動およびアナログ信号処理パルスを供給できることから、画像処理装置の性能を常に安定維持することが可能となる。

【0016】

【発明の実施の形態】以下、図面を参照して、本発明の画像処理装置、および画像処理装置の一部を構成するクロック発生装置の実施の形態例を詳細に説明する。

【0017】〈クロック発生装置の全体構成〉以下、本発明の実施の形態例のクロック発生装置の実施の形態例を詳細に説明する。

【0018】この図1において、CPU401はクロック発生装置全体を制御する制御手段として動作している。なお、このCPU401が、クロックの1周期以内に、何れのクロックを選択するかを判断する手段を構成している。

【0019】基準クロック発生部410は基準となるクロック（基準クロック：図1⑩）を生成している。クロック生成部としてのディレイチェーン部420は、通常時において、入力信号（基準クロック発生部410からの基準クロック）を遅延させて位相が少しずつ異なる複数の遅延クロック（複数のクロック：図1⑪、図2参照）を得るための、本発明の請求項におけるクロック生成部を構成するディレイ素子群である。

【0020】ここで、ディレイチェーン部420は、位相が少しずつ異なる遅延クロックについて、基準クロックの2周期分にあわてて生成できる段数になるようにチェーン状にディレイ素子が縦続接続されていることが好ましい。

【0021】なお、ここではディレイ素子を用いて遅延クロックを生成したが、ディレイ素子を用いずに位相の異なる複数のクロックを生成できるクロック生成部を設けるようにしてもよい。

【0022】なお、基準クロック発生部410は、複数のクロック発生装置が存在する場合に、個々のクロック発生装置にそれぞれ内蔵されているように、単一の基準クロック発生部410からそれぞれのクロック発生装置や基板に基準クロックを分配してもよい。

【0023】なお、フィードバック時には、ディレイチェーン部420は、セレクト460を介して、装置が出力する駆動パルス（図1⑪）を受けてディレイ素子によって遅延させる。

【0024】同期信号検出部430は、通常時には、複数のクロック（図1⑪）の中で基準クロック（所望の入力信号の先端位置）に同期している遅延クロックの段数（同期ポイント）を検出する手段であり、同期情報を出す。なお、この同期情報は位相差状態と呼ぶことも

でき、この同期情報（位相差状態）は、後述する同期ポイント情報や位相差そのものの状態（位相差状態）を含む。

【0025】ここで、同期信号検出部430は、通常時にはセレクト470経由で基準クロックが与えられ、複数のクロック（図1⑪）の中で、最初に基準クロックに同期している第1同期ポイント情報V1stと、2番目に基準クロックに同期している第2同期ポイント情報V2ndと、それらの間の遅延段数Vprdを出力できることが好ましい。図2に示す例では、第1同期ポイント情報V1st=20、第2同期ポイント情報V2nd=50、遅延段数Vprd=30、となっている。

【0026】また、同期信号検出部430は、フィードバック時には、セレクト470経由で外部機器からのフィードバック信号（生成した駆動パルスを目的の負荷に接続することに対応する回路素子のパラツキ、配線長などの物理的変化および、電源電圧、周囲温度、湿度などの環境変化によって伝播変動を含んだ状態の駆動パルス）と、ディレイチェーン部420を経由して装置が出力する駆動パルス（図1⑪）が与えられ、フィードバック信号の遅延状態を示すフィードバック時同期ポイント情報Vfbを出力する。すなわち、この同期信号検出部430は、フィードバック時には、変動検出手段を構成している。

【0027】記憶部431は通常時の同期ポイント情報とフィードバック時同期ポイント情報との誤差成分を保持し、この保持している誤差成分を利用して、補償した同期ポイント情報を通常時に出する（図1⑪）。すなわち、請求項での修正手段を構成している。

【0028】切替制御部440は、基準クロック発生部410からの基準クロック（図1⑩）と、同期信号検出部430と記憶部431からの同期ポイント情報（図1⑪）と、CPU401からのシフト情報（請求項における「出力クロック情報」：図1⑫）とをもちいて、所望のタイミング（所定の時刻もしくは所定の時間）にクロックの立ち上がりとしち下がりを生じさせて所望の駆動パルスを生成するために、複数のクロック（図1⑪）の中からどの位相のクロックを選択すべきかのセレクト段数情報（図1⑪）を出力する。なお、ここで切替制御部440に対してCPU401から与えられる「シフト情報」としては、CPUmode、CPUdata、CPUadjustなどの信号が存在する。

【0029】セレクト部450は、切替制御部440からのセレクト段数情報（図1⑪）を受け、複数のクロック（図1⑪）の中から、所望の立ち上がりとしち下りのクロックを選択して、クロックを受けて所望のパルス幅および所望のタイミングの駆動パルス（図1⑪）を生成する。

【0030】なお、このセレクト部450は、図3に示すように、所望の立ち上がりタイミングのクロックを選

択するためのセレクト451と、所望の立ち下がりタイミングのクロックを選択するためのセレクト452と、所望の立ち上がりタイミングのクロックと所望の立ち下がりタイミングのクロックとによって所望の駆動パルスを生成する論理回路(AND, OR, NAND, NOR, E×OR, E×NORなど)で構成された組み合わせ回路452で構成されている。

【0031】セレクト460は、CPU401の制御にしたがって、通常時にはディレイチェーン部420に対して基準クロック発生部410からの基準クロック(図1D)を供給し、フィードバック時にはディレイチェーン部420に対して出力する駆動パルス(図1D)を供給する。

【0032】セレクト470は、CPU401の制御にしたがって、通常時には同期信号検出部430に対して基準クロック発生部410からの基準クロックを供給し、フィードバック時には同期信号検出部430に対して外部機器からのフィードバック信号(生成した駆動パルスを目的の負荷に接続すること起因する回路素子のバツキ、配線長などの物理的変化および、電源電圧、周囲温度、湿度などの環境変化によって伝播変動を含んだ状態の駆動パルス)を供給する。

【0033】図4は切替制御部440の通常時の動作状態を示すタイムチャートである。ここでは、説明を簡単にするため、前述した遅延段数Vprdが100であるとすると(図4(a))。そして、所望の駆動パルスは(図4(b))Vprd×0.1のタイミングで立ち上がり、Vprd×0.25のタイミングで立ち下がり、Vprd×0.15のパルス幅であるとする。

【0034】この場合、切替制御部440はセレクト段数情報(図1D)として、 $F_{sync1}=100\times 0.1=10$ 、 $F_{sync2}=100\times 0.25=25$ 、をセレクト部450に対して出力する。

【0035】なお、このセレクト段数情報は、電源電圧や環境温度などで変化することに鑑みて、ある任意の間隔で更新されることが望ましい。図5はセレクト部450の通常時の動作状態を示すタイムチャートである。ここでは、図4と同じ条件で動作しているものとする。上述した切替制御部440から出力されるセレクト段数情報 $F_{sync1}$ と $F_{sync2}$ とを受けて、セレクト部450内のセレクト451と452とは、DL10とDL25とをそれぞれ選択する(図5(b))、(c))。そして、組み合わせ回路452は、DL10とDL25との立ち上がりと同じした駆動パルスを生成する(図5(d))。

【0036】このようにして、通常時には、基準クロック(図1D)を遅延させた複数の遅延クロック(図1D)から所望の立ち上がり立ち下がりを選択することで、所望のパルス幅および所望のタイミングの駆動パルス(図1D)を生成する。

【0037】図6はフィードバック信号の遅延状態を示すフィードバック時間同期ポイント情報Vfbを生成する様子を示すタイムチャートである。図1のブロック図において、フィードバック時には、ディレイチェーン部420は、セレクト460を通過した駆動パルス(図1D)を受けて、ディレイ素子によって遅延させる。同様に、フィードバック信号がセレクト470を通過する。これにより、同期信号検出部430では、フィードバック信号(図6(a))と駆動パルスの遅延信号(図6(b)~(d))との同期状態が、フィードバック信号の遅延状態を示すフィードバック時間同期ポイント情報Vfbとして出力される。図6の場合は、フィードバック信号(図6(a))は遅延信号DL1と同期しているため、 $Vfb=+1$ となる。このフィードバック時間同期ポイント情報Vfb=+1が、フィードバック時に記憶部431に記憶される。

【0038】図7は駆動パルスのタイミングを各種変動に依り、フィードバック時間同期ポイント情報Vfbを用いて修正する様子を示すタイムチャートである。ここで、図7(a)~(d)では、図5でも説明したようにフィードバック実行前の駆動パルスの生成の様子を示している。ここで、フィードバックの実行により、記憶部431が $Vfb=+1$ を記憶しており、フィードバック実行後の通常動作では、切替制御部440は $Vfb=+1$ を補償するために、DL9とDL24を選択するためのセレクト段数情報をセレクト部450に対して出力する。したがって、セレクト部450では、DL9とDL24とがセレクトによって選択され、DL9-DL24の駆動パルスが生成される。なお、ここでは、Vfbが1の場合の例であったので、遅延クロックを1段分遅くように補正を行っている。

【0039】このようにすることで、駆動パルスを目的の負荷に接続すること起因する回路素子のバツキ、配線長などの物理的変化および、電源電圧、周囲温度、湿度などの環境変化によって生じる伝播変動分が補正される。すなわち、各種の変動にかかわらず、画像処理装置に必要な一定のパルスを提供することが可能になる。

【0040】なお、このようなフィードバックを行う時間や間隔はCPU401が任意に定めることができる。また、図1を用いた以上の説明では、セレクト部450が単一の駆動パルスを生成するようにしている構成を示したが、図8に示すように、セレクト部を複数(セレクト部451~453)設けて、複数の異なる駆動パルスを生成・出力することも可能である。ここに示す例は、画像処理装置に適用する場合の、CCD駆動パルスR<sub>S</sub>、画像処理回路用サンプルホールドパルスS/H、A/D変換駆動パルスADCLKを生成する様子を示している。なお、セレクト部の個数や、発生する駆動パルスの具体例は、ここに示したものに限定されることはない。

【0041】図9は従来のクロック発生装置と本実施の形態例のクロック発生装置を、固体撮像素子を用いた画像処理装置に適用した場合の具体的な構成を示すブロック図である。

【0042】ここでは、画像処理装置は、固体撮像素子であるCCD100、CCD100の出力を増幅するアンプ101、CCD100の出力を画像処理するアナログデバイス200、アナログデバイス200で画像処理された信号をA/D変換するA/D変換器300とを備えて構成されている。

【0043】図9(a)の従来の画像処理装置では、OSC10からの基準クロックを受けてクロック発生装置20が各部への駆動パルスを生成するが、各種変動(生成したパルスを目的の負荷に接続すること起因する回路素子のバラツキ、配線長などの物理的变化および、電源電圧、周囲温度、湿度などの環境変化によるパルスの伝播変動)を補正するために、各駆動パルス毎にタイミング調整手段(CCD100への駆動パルスを調整するDL30、アナログデバイス200への駆動パルスを調整するDL40、A/D変換器300への駆動パルスを調整するDL50)を設ける必要があった。

【0044】これに対し、図9(b)に示す本実施の形態例のクロック発生装置を適用した画像処理装置では、図1以降で説明したクロック発生装置400でセレクト部450を複数設けることで、駆動パルスを目的の負荷に接続すること起因する回路素子のバラツキ、配線長などの物理的变化および、電源電圧、周囲温度、湿度などの環境変化によって生じる伝播変動分をフィードバックによって自動的に補正して、各種の変動にかかわらず、画像処理装置に必要な一定のパルスを供給することが可能になる。したがって、各駆動パルス毎の調整手段も必要なくなり、回路構成を簡略化することができる。

【0045】すなわち、この実施の形態例の画像処理装置では、複数のクロックから所望の立ち上がり立ち下がりを選択して目的の処理パルスを発生した後に、フィードバック結果によって変動分を相殺するようにクロックを選択し直すことにより、1ns以下の精度で駆動および処理パルスを発生でき、なおかつ、パルスの供給回路が通過する数々の変動条件が影響し、目的のパルスの供給がややぶれる場合であっても、フィードバック

を用いた変動検出と修正手段により、設計された仕様を逸脱することがなくCCDセンサの駆動およびアナログ信号処理パルスを供給できることから、画像処理装置の性能を常に安定維持することが可能となる。

【0046】

【発明の効果】以上詳細に説明したように、本発明によれば、複数のクロックから所望の立ち上がり立ち下がりを選択して目的の処理パルスを発生した後に、フィードバック結果によって変動分を相殺するようにクロックを選択し直すことにより、各種の変動にかかわらず、画像処理装置に必要な一定のパルスを供給することが可能になる。

【図面の簡単な説明】

【図1】本発明の一実施の形態例のクロック発生装置の全体の電気的構成を示す構成図である。

【図2】本発明の一実施の形態例のクロック発生装置の動作を説明するタイムチャートである。

【図3】本発明の一実施の形態例のクロック発生装置の主要部の電気的構成を示す構成図である。

【図4】本発明の一実施の形態例のクロック発生装置の動作を説明するタイムチャートである。

【図5】本発明の一実施の形態例のクロック発生装置の動作を説明するタイムチャートである。

【図6】本発明の一実施の形態例のクロック発生装置の動作を説明するタイムチャートである。

【図7】本発明の一実施の形態例のクロック発生装置の動作を説明するタイムチャートである。

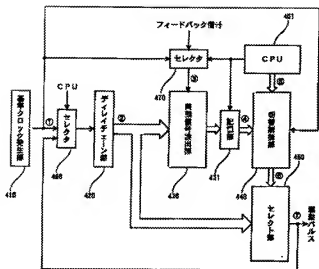
【図8】本発明の一実施の形態例のクロック発生装置の他の構成例を示す構成図である。

【図9】本発明の画像処理装置と従来の画像処理装置との構成を比較して示すブロック図である。

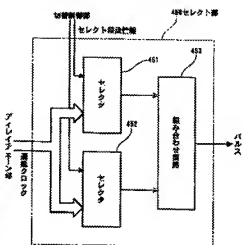
【符号の説明】

- 401 CPU
- 410 基準クロック発生部
- 420 デレイチェーン部
- 430 同期信号検出部
- 431 記憶部
- 440 切替制御部
- 450 セレクト部
- 460、470 セレクト

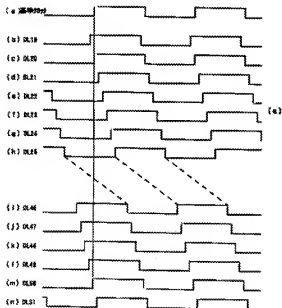
【圖 1】



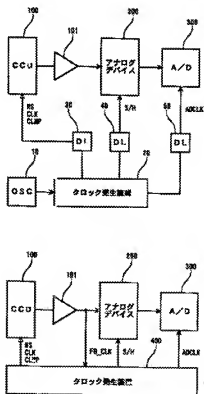
【圖3】



【图2】

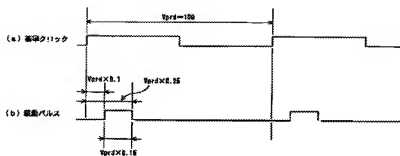


【89】

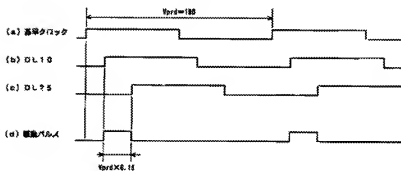




【図4】



【図5】



【図6】

